Санкт-Петербургский политехнический университет Петра Великого

Институт компьютерных наук и кибербезопасности

Высшая школа компьютерных технологий и информационных систем

**Отчёт по лабораторной работе № 9**

Дисциплина: Автоматизация проектирования дискретных  
устройств (на английском языке).

Выполнил студент гр. 5130901/10101 \_\_\_\_\_\_\_\_\_\_\_\_\_\_ Д.Л. Симоновский (подпись)

Руководитель \_\_\_\_\_\_\_\_\_\_\_\_\_\_ А.П. Антонов (подпись)

“07” апреля 2024 г.

Санкт-Петербург

2024

Оглавление

[1. Список иллюстраций: 2](#_Toc163408678)

[2. Алгоритм работы проекта: 3](#_Toc163408679)

[3. Ход работы: 3](#_Toc163408680)

[4. Вывод: 12](#_Toc163408681)

# Список иллюстраций:

[Рис. 1. Схема разрабатываемого устройства. 3](#_Toc163408682)

[Рис. 2. Добавление папки с IP модулями. 3](#_Toc163408683)

[Рис. 3. Результат добавления компонентов на схему. 3](#_Toc163408684)

[Рис. 4. Настройка clk. 4](#_Toc163408685)

[Рис. 5. Подключения clk и reset. 4](#_Toc163408686)

[Рис. 6. Подключение данных. 5](#_Toc163408687)

[Рис. 7. Настройка адресов. 5](#_Toc163408688)

[Рис. 8. Результат. 5](#_Toc163408689)

[Рис. 9. Настройка my\_master. 6](#_Toc163408690)

[Рис. 10. Block Symbol разработанного IP модуля. 6](#_Toc163408691)

[Рис. 11. Сигналы clk. 7](#_Toc163408692)

[Рис. 12. Сигналы rst. 7](#_Toc163408693)

[Рис. 13. Результат Show System with Platform Designer Interconnect. 8](#_Toc163408694)

[Рис. 14. Schematic. 8](#_Toc163408695)

[Рис. 15. Добавленные модули к проекту. 9](#_Toc163408696)

[Рис. 16. RTL Viewer устройства. 9](#_Toc163408697)

[Рис. 17. Результат запуска тестового модуля. 10](#_Toc163408698)

[Рис. 18. RTL Viewer. 10](#_Toc163408699)

[Рис. 19. Signal Tap II. 11](#_Toc163408700)

[Рис. 20. Обновленная настройка my\_master. 11](#_Toc163408701)

[Рис. 21. Обновленная настройка адресов в Qsys. 11](#_Toc163408702)

[Рис. 22. Запуск тестового файла. 12](#_Toc163408703)

[Рис. 23. Результат запуска в Signal Tap II. 12](#_Toc163408704)

# Алгоритм работы проекта:

Средствами Platform Designer создать структуру проекта, представленную на рисунке ниже:

Изображение выглядит как текст, снимок экрана, диаграмма, Шрифт

Автоматически созданное описание

Рис. 1. Схема разрабатываемого устройства.

# Ход работы:

Выполним создание проекта со стандартными настройками, после чего добавим в проект IP файлы, предоставленные к данной лабораторной работе:

Изображение выглядит как текст, снимок экрана, Шрифт, линия

Автоматически созданное описание

Рис. 2. Добавление папки с IP модулями.

Добавим компоненты: my\_master, my\_slave, my\_slaveWS. Таким образом, получим следующий результат:

Изображение выглядит как текст, снимок экрана, программное обеспечение, число

Автоматически созданное описание

Рис. 3. Результат добавления компонентов на схему.

Настройку CLK модуля:

Изображение выглядит как текст, программное обеспечение, Значок на компьютере, дисплей

Автоматически созданное описание

Рис. 4. Настройка clk.

Далее выполним подключения сигналов clk и reset:

Изображение выглядит как текст, снимок экрана, программное обеспечение, число

Автоматически созданное описание

Рис. 5. Подключения clk и reset.

Выполним подключение «шины данных»:

Изображение выглядит как текст, число, Шрифт, линия

Автоматически созданное описание

Рис. 6. Подключение данных.

Выполним настройку адресов:

Изображение выглядит как текст, число, Шрифт, программное обеспечение

Автоматически созданное описание

Рис. 7. Настройка адресов.

В итоге результат выглядит следующим образом:

Изображение выглядит как текст, снимок экрана, число, программное обеспечение

Автоматически созданное описание

Рис. 8. Результат.

Таже выполним настройку my\_master:

Изображение выглядит как текст, снимок экрана, дисплей, программное обеспечение

Автоматически созданное описание

Рис. 9. Настройка my\_master.

Посмотрим на получившийся Block Symbol:

Изображение выглядит как текст, снимок экрана, дисплей, программное обеспечение

Автоматически созданное описание

Рис. 10. Block Symbol разработанного IP модуля.

Далее посмотрим на сигналы clk и reset, что не возникает никаких дополнительных контроллеров:

Изображение выглядит как текст, программное обеспечение, число, Значок на компьютере

Автоматически созданное описание

Рис. 11. Сигналы clk.

Изображение выглядит как текст, программное обеспечение, число, Значок на компьютере

Автоматически созданное описание

Рис. 12. Сигналы rst.

Выполним команду Show System with Platform Designer Interconnect:

Изображение выглядит как текст, снимок экрана, число, программное обеспечение

Автоматически созданное описание

Рис. 13. Результат Show System with Platform Designer Interconnect.

Появившийся модуль обеспечивает передачу данных между мастером (32 бит) и слейвом (8 бит).

Посмотрим на соединения настроенных модулей в Schematic:

Изображение выглядит как текст, снимок экрана, число, программное обеспечение

Автоматически созданное описание

Рис. 14. Schematic.

Добавим созданные модули в проект:

Изображение выглядит как текст, снимок экрана, программное обеспечение, число

Автоматически созданное описание

Рис. 15. Добавленные модули к проекту.

Подключим к проекту файл верхнего уровня и выполним компиляцию

Изображение выглядит как текст, снимок экрана, Шрифт

Автоматически созданное описание

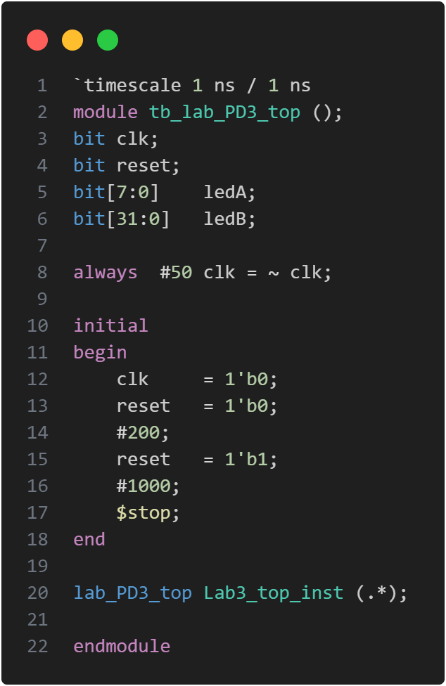
Посмотрим на RTL Viewer:

Изображение выглядит как текст, линия, диаграмма, Параллельный

Автоматически созданное описание

Рис. 16. RTL Viewer устройства.

Протестируем проект, используя следующий тестовый файл:



Результат запуска приведен ниже:

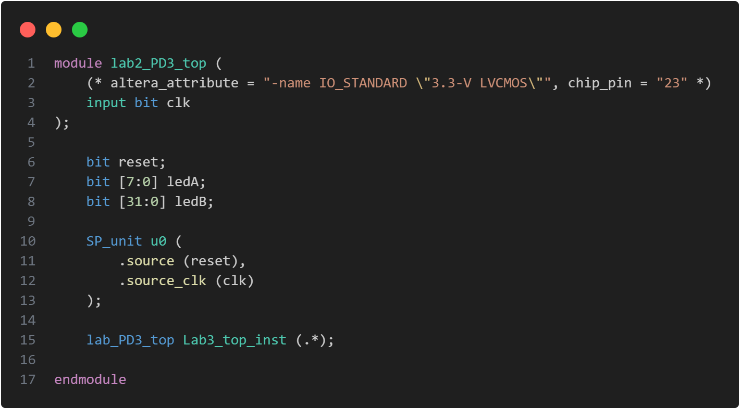
Изображение выглядит как снимок экрана, текст, программное обеспечение, Мультимедийное программное обеспечение

Автоматически созданное описание

Рис. 17. Результат запуска тестового модуля.

Как мы видим, разработанное устройство соответствует ожиданиям: данные успешно передаются как слейву с 8 битами, так и с 32 битами.

Для тестирования на плате создадим следующий модуль, который позволяет изменять rst, используя SP unit:



Получим следующий RTL Viewer:

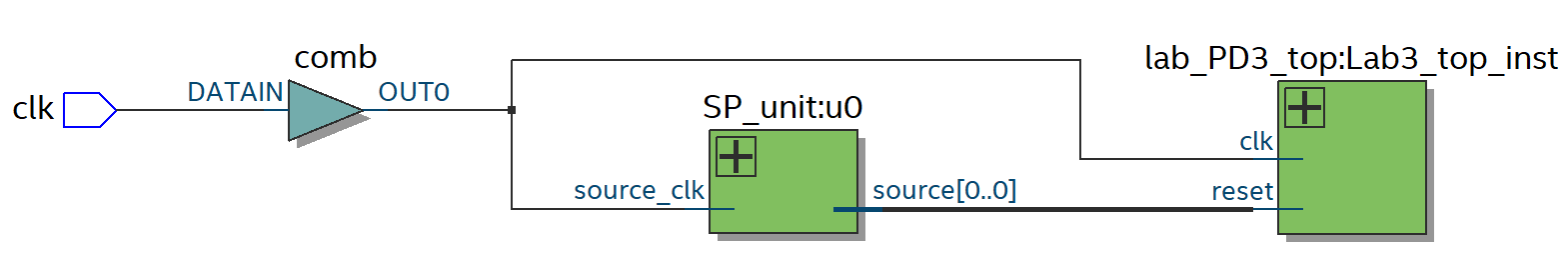


Рис. 18. RTL Viewer.

Запустим Signal Tap II и переключим rst из 0 в 1. Результат запуска приведен ниже:

Изображение выглядит как текст, снимок экрана, Шрифт, линия

Автоматически созданное описание

Рис. 19. Signal Tap II.

Как мы видим, результат совпадает с тестами и ожиданиями, что сведительствует о корректности выполненной работы.

Поменяем адрес и данные второго слейва в соответствии с вариантом:

Изображение выглядит как текст, снимок экрана, дисплей, программное обеспечение

Автоматически созданное описание

Рис. 20. Обновленная настройка my\_master.

Изображение выглядит как текст, снимок экрана, программное обеспечение, число

Автоматически созданное описание

Рис. 21. Обновленная настройка адресов в Qsys.

Запустим тестовый файл:

Изображение выглядит как снимок экрана, текст, Мультимедийное программное обеспечение, программное обеспечение

Автоматически созданное описание

Рис. 22. Запуск тестового файла.

Как мы видим, данные действительно обновились в соответствии с вариантом.

Проверим результат в Signal Tap II:

Изображение выглядит как текст, снимок экрана, число, Шрифт

Автоматически созданное описание

Рис. 23. Результат запуска в Signal Tap II.

Как мы видим, результат совпадает с тестами и ожиданиями, что сведительствует о корректности выполненной работы.

# Вывод:

В ходе выполнения лабораторной работы была создана структура проекта с использованием Platform Designer. Этот инструмент предоставляет графический интерфейс для интеграции и настройки IP-блоков, что упрощает и ускоряет процесс разработки в сравнении с ручным написанием кода.

Преимущества Platform Designer включают в себя:

1. Ускорение разработки: Платформа предлагает готовые IP-блоки, которые могут быть легко интегрированы в проект, сокращая время разработки.
2. Упрощение процесса: Использование графического интерфейса позволяет избежать сложностей в написании и отладке кода, особенно для начинающих разработчиков.
3. Модульность и повторное использование: IP-блоки могут быть использованы в разных проектах, что способствует повторному использованию кода и упрощает поддержку проектов.
4. Визуализация системы: Платформа предоставляет графическое представление структуры проекта, что облегчает понимание и анализ системы.

Таким образом, использование Platform Designer обеспечивает эффективное управление проектом, ускоряет его разработку и повышает его надежность за счет готовых компонентов и удобного интерфейса.